

PATENT ABSTRACTS OF JAP

(11)Publication number : 11-238750

(43)Date of publication of application : 31.08.1999

(51)Int.Cl.

H01L 21/60

H01L 21/60

(21)Application number : 10-040318

(71)Applicant : SONY CORP

(22)Date of filing : 23.02.1998

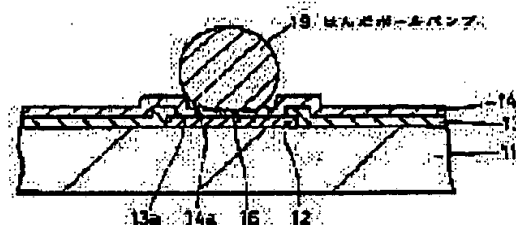
(72)Inventor : YANAGIDA TOSHIHARU

(54) MANUFACTURE OF BUMP AND MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a bump with high reliability and durability after a flip chip has been mounted, by improving the electrical characteristics and the adhesive strength in a junction interface between an electrode and a bump as a conductive film of barrier metal formed on the electrode.

SOLUTION: A polyimide film 14 is formed on a semiconductor substrate 11 as an interlayer insulating film, a connection hole 14a is made in the polyimide film 14 in its part corresponding to the upper section of an Al electrode pad 12. Thereafter, prior to the formation of a ball limiting metal (BLM) film 16 as a barrier metal of a solder ball bump 19, the semiconductor substrate 11 is subjected to sputtering and etching processes in an atmosphere, containing at least an inert gas with ion energy higher than that in a film-formation pretreatment of the film 16 to be carried out later to remove the scums remained in the hole 14a. In another example, the substrate is subjected to an ashing process in an atmosphere containing at least an oxygen gas and then to a sputtering process in an atmosphere containing at least an inert gas continuously, thus removing the scums which remain in the hole 14.



Japanese Laid-Open Patent Publication No. 11-238750/1999

(Tokukaihei 11-238750) (Published on August 31, 1999)

(A) Relevance to claim

The following is a translation of passages related to claim 2 of the present invention.

(B) Translation of the relevant passages.

[Abstract]

[Problems] ... after flip-mounted ...

[0002]

[Prior Art] ... High density mounting technologies, such as flip-chip mounting whereby a bare chip is directly mounted to a printed wiring board, are being developed to replace conventional package mounting methods, especially, for use with mounting of semiconductor integrated circuits (ICs) and semiconductor large-scale integration circuits (LSI circuits).

[0003] A flip-chip mounting method is to directly mount to a printed wiring board an IC or LSI circuit chip with solder ball bumps formed on the aluminum (Al) electrode

-2-

pads of the chip. ...

11-238750

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-238750

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl.⁸

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/92

21/60

21/92

6 0 4 A

3 1 1 Q

6 0 4 P

審査請求 未請求 請求項の数32 O L (全 15 頁)

(21) 出願番号

特願平10-40318

(22) 出願日

平成10年(1998) 2月23日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 柳田 敏治

東京都品川区北品川 6 丁目 7 番 35 号 ソニ

ー株式会社内

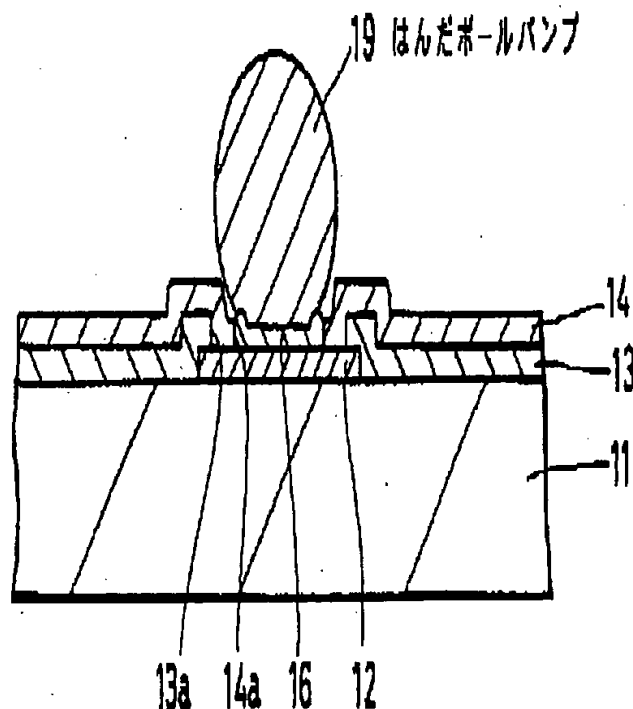
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 バンプ製造方法および半導体装置の製造方法

(57) 【要約】

【課題】 電極およびこの上に形成されるバンプのバリアメタルとしての導電膜の接合界面における電気的特性や密着強度を改善し、フリップチップ実装後において高い信頼性および耐久性を有するバンプ製造方法を提供する。

【解決手段】 半導体基体 11 上に層間絶縁膜としてのポリイミド膜 14 を成膜し、このポリイミド膜 14 の Al 電極パッド 12 上に対応する部分に接続孔 14 a を形成した後、はんだボールバンプ 19 のバリアメタルとしての BLM 膜 16 の成膜前処理を行う前に、半導体基体 11 に対して、少なくとも不活性ガスを含む雰囲気中で、後に行う BLM 膜 16 の成膜前処理よりも高イオンエネルギー条件下でスパッタエッチング処理を行い、接続孔 14 a に残存するスカムを除去する。他の例では、少なくとも酸素を含む雰囲気中でのアッシング処理を行い、連続して、少なくとも不活性ガスを含む雰囲気中でスパッタエッチング処理を行うことにより、接続孔 14 a に残存するスカム 14 b を除去する。



【特許請求の範囲】

【請求項1】 基体上に電極を形成する工程と、上記基体上に上記電極を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜の上記電極上に対応する部分に接続孔を形成する工程と、上記接続孔が形成された上記層間絶縁膜を有する上記基体上に、上記接続孔を通して上記電極と接続する導電膜を形成する工程とを有し、上記電極上に上記導電膜を介してパッドを形成するようにしたパッド製造方法において、

上記層間絶縁膜に上記接続孔を形成した後、上記導電膜を形成する工程とを有し、上記電極上に上記導電膜を介してパッドを形成するようにしたパッド製造方法において、
【請求項2】 上記層間絶縁膜に有機物からなることを特徴とするパッド製造方法。
【請求項3】 上記層間絶縁膜は感光性材料からなり、上記接続孔はリソグラフィ法により直接上記層間絶縁膜をパターンニングすることにより形成されることを特徴とする請求項1記載のパッド製造方法。
【請求項4】 上記導電膜は、上記接続孔が形成された上記層間絶縁膜を有する上記基体上にリソグラフィ法により形成され、上記パッドエッチング処理は、上記層間絶縁膜に上記接続孔を形成した後、上記リソグラフィ用のレジストパターンを形成する前に行われ、かつ、上記導電膜の上記成膜前処理は、上記レジストパターンを形成した後、上記導電膜を形成する前に行われることを特徴とする請求項1記載のパッド製造方法。
【請求項5】 上記パッドエッチング処理を、少なくともトランスアポ放電出力と上記基体へのバイアス電圧とを独立に制御しながら行うことを特徴とする請求項1記載のパッド製造方法。

【請求項6】 上記電極は、アルミニウム、銅、銀またはこれらの合金からなることを特徴とする請求項1記載のパッド製造方法。
【請求項7】 上記パッドは、はんだボールパッドであることを特徴とする請求項1記載のパッド製造方法。
【請求項8】 基体上に電極を形成する工程と、上記基体上に上記電極を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜の上記電極上に対応する部分に接続孔を形成する工程と、上記接続孔が形成された上記層間絶縁膜を有する上記基体上に、上記接続孔を通して上記電極と接続する導電膜を形成する工程とを有し、上記電極上に上記導電膜を介してパッドを形成するようにしたパッド製造方法において、
上記層間絶縁膜に上記接続孔を形成した後、上記導電膜を形成した後、上記層間絶縁膜に上記接続孔を形成した後、上記導電膜を形成する工程とを有し、上記電極上に上記導電膜を介してパッドを形成するようにしたパッド製造方法において、

を形成する前に、上記基体に対して、少なくとも酸素を含む雰囲気中でアッシング処理を行った後、連続して少なくとも不活性ガスを含む雰囲気中でパッドエッチング処理を行うようにしたことを特徴とするパッド製造方法。
【請求項9】 上記パッドエッチング処理を、上記不活性ガスにさらに還元性ガスを含む雰囲気中で行うようにしたことを特徴とする請求項8記載のパッド製造方法。

【請求項10】 上記層間絶縁膜は有機物からなることを特徴とする請求項8記載のパッド製造方法。
【請求項11】 上記層間絶縁膜は感光性材料からなり、上記接続孔はリソグラフィ法により直接上記層間絶縁膜をパターンニングすることにより形成されることを特徴とする請求項8記載のパッド製造方法。
【請求項12】 上記電極は、上記接続孔が形成された上記層間絶縁膜を有する上記基体上にリソグラフィ法により形成され、上記パッドエッチング処理は、上記層間絶縁膜に上記接続孔を形成した後、上記リソグラフィ用のレジストパターンを形成する前に行われることを特徴とする請求項8記載のパッド製造方法。

【請求項13】 上記リソグラフィ用の上記レジストパターンを形成した後、上記導電膜を形成する前に、上記導電膜の成膜前処理を行うことを特徴とする請求項12記載のパッド製造方法。
【請求項14】 上記パッドエッチング処理を、このときの上記基体の表面の最高到達温度が、上記導電膜の成膜前処理のときの上記基体の表面の最高到達温度よりも高くなるようなイオンエッチングで行うことを特徴とする請求項12記載のパッド製造方法。
【請求項15】 上記アッシング処理および/または上記パッドエッチング処理を、少なくともトランスアポ放電出力と上記基体へのバイアス電圧とを独立に制御しながら行うことを特徴とする請求項8記載のパッド製造方法。

【請求項16】 上記電極は、アルミニウム、銅、銀またはこれらの合金からなることを特徴とする請求項8記載のパッド製造方法。
【請求項17】 上記パッドは、はんだボールパッドであることを特徴とする請求項8記載のパッド製造方法。
【請求項18】 基体上に電極および/または通線を形成する工程と、
上記基体上に上記電極および/または通線を覆うように層間絶縁膜を形成する工程と、
上記層間絶縁膜の上記電極および/または通線に対応する部分に接続孔を形成する工程と、
上記接続孔が形成された上記層間絶縁膜を有する上記基体上に、所定の成膜前処理を行った後、上記接続孔を通して上記導電膜を形成する工程とを有し、上記電極上に上記導電膜を介してパッドを形成するようにしたパッド製造方法において、

成する工程とを有する半導体装置の製造方法において、上記層間絶縁膜に上記接続孔を形成した後、上記導電膜の上記成膜前処理を行う前に、上記基体に対して、少なくとも不活性ガスを含む雰囲気中でスパッタエッチング処理を行い、この際、上記スパッタエッチング処理を、このときの上記基体の表面の最高到達温度が、上記導電膜の上記成膜前処理のときの上記基体の表面の最高到達温度よりも高くなるようなイオンエネルギーで行うようにしたことを特徴とする半導体装置の製造方法。

【請求項19】 上記層間絶縁膜は有機物からなることを特徴とする請求項18記載の半導体装置の製造方法。

【請求項20】 上記層間絶縁膜は感光性材料からなり、上記接続孔はリソグラフィ法により直接上記層間絶縁膜をパターニングすることにより形成されることを特徴とする請求項18記載の半導体装置の製造方法。

【請求項21】 上記導電膜は、上記接続孔が形成された上記層間絶縁膜を有する上記基体上にリフトオフ法により形成され、上記スパッタエッチング処理は、上記層間絶縁膜に上記接続孔を形成した後、上記リフトオフ用のレジストパターンを形成する前に行われ、かつ、上記導電膜の上記成膜前処理は、上記レジストパターンを形成した後、上記導電膜を形成する前に行われることを特徴とする請求項18記載の半導体装置の製造方法。

【請求項22】 上記スパッタエッチング処理を、少なくともプラズマ放電出力と上記基体へのバイアス電圧とを独立に制御しながら行うことを特徴とする請求項18記載の半導体装置の製造方法。

【請求項23】 上記電極および/または配線は、アルミニウム、銅、銀またはこれらの合金からなることを特徴とする請求項18記載の半導体装置の製造方法。

【請求項24】 基体上に電極および/または配線を形成する工程と、

上記基体上に上記電極および/または配線を覆う層間絶縁膜を形成する工程と、

上記層間絶縁膜の上記電極および/または配線に対応する部分に接続孔を形成する工程と、

上記接続孔が形成された上記層間絶縁膜を有する上記基体上に、上記接続孔を通して上記電極と接続する導電膜を形成する工程とを有する半導体装置の製造方法において、

上記層間絶縁膜に上記接続孔を形成した後、上記導電膜を形成する前に、上記基体に対して少なくとも酸素を含む雰囲気中でアッシング処理を行った後、連続して少なくとも不活性ガスを含む雰囲気中でスパッタエッチング処理を行うようにしたことを特徴とする半導体装置の製造方法。

【請求項25】 上記スパッタエッチング処理を、上記不活性ガスにさらに還元性ガスを含む雰囲気中で行うようにしたことを特徴とする請求項24記載の半導体装置の製造方法。

【請求項26】 上記層間絶縁膜は有機物からなることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項27】 上記層間絶縁膜は感光性材料からなり、上記接続孔はリソグラフィ法により直接上記層間絶縁膜をパターニングすることにより形成されることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項28】 上記導電膜は、上記接続孔が形成された上記層間絶縁膜を有する上記基体上にリフトオフ法により形成され、上記アッシング処理および上記スパッタエッチング処理は、上記層間絶縁膜に上記接続孔を形成した後、上記リフトオフ用のレジストパターンを形成する前に行われることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項29】 上記リフトオフ用の上記レジストパターンを形成した後、上記導電膜を形成する前に、上記導電膜の成膜前処理を行うことを特徴とする請求項28記載の半導体装置の製造方法。

【請求項30】 上記スパッタエッチング処理を、このときの上記基体の表面の最高到達温度が、上記導電膜の上記成膜前処理の際の上記基体の表面の最高到達温度よりも高くなるようなイオンエネルギーで行うことを特徴とする請求項28記載の半導体装置の製造方法。

【請求項31】 上記アッシング処理および/または上記スパッタエッチング処理を、少なくともプラズマ放電出力と上記基体へのバイアス電圧とを独立に制御しながら行うことを特徴とする請求項24記載の半導体装置の製造方法。

【請求項32】 上記電極および/または配線は、アルミニウム、銅、銀またはこれらの合金からなることを特徴とする請求項24記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、 bumps 製造方法および半導体装置の製造方法に関する。

【0002】

【従来の技術】 電子機器の小型化をより一層進展させるためには、部品実装密度をいかに向上させるかが重要なポイントとなっている。こと半導体集積回路（IC）や半導体大規模集積回路（LSI）の実装に関しても、従来のパッケージ実装の代替として、ベアチップを直接プリント配線基板上にマウントする フリップチップ実装法 など高密度実装技術の開発が盛んに行われている。

【0003】 このフリップチップ実装法の一つに、ICチップやLSIチップのアルミニウム（Al）電極パッド上にはんだボール bumps を形成したものを、直接プリント配線基板上に実装する方法がある。このはんだボール bumps を所定のAl電極パッド上に形成する方法としては、電解メッキ法を用いた方法があるが、この場合、成膜されるはんだ膜の厚さが、下地の表面状態や電気抵抗のわずかなばらつきによる影響を受けるため、ICチップ

ソートで高さが揃いに揃ったはんたボールの形成を行うことは基本的に難しいという問題がある。

【0004】そこで、はんたボールソートの高さのばらつきを制御する方法として、真空蒸着法によるはんた膜の成膜と、レジストパターンのリフトオフを用いてはんた膜のパターニングを行った後、はんたボールソートを形成する方法が知られている。この方法によるはんたボールソートの製造方法の工程の一例を図13～図18を参照しながら、以下に説明する。

【0005】まず、図13に示すように、回路素子などが形成されたシリコン(Si)ウエハのような半導体基体101上の所定の部分に絶縁膜(図示せず)を介して、スパッタリング法および反応性イオンエッチング(RIE)法により所定形状のA1電極パッド102を形成する。次に、半導体基体101の全面に、例えば窒化シリコン(SiN)膜のようなバンプシヨン膜103を成膜した後、このバンプシヨン膜103のA1電極パッド102上に対応する部分に開口部103aを形成する。次に、半導体基体101の全面に、層間絶縁膜として感光性のポリイミド膜104を成膜した後、リソグラフィ法によりこのポリイミド膜104の露光、現像を行うことにより、このポリイミド膜104のA1電極パッド102上に対応する部分に、所定の寸法の接続孔104aを形成する。このポリイミド膜104は、表面保護、電気的絶縁およびα線によるソートエラ一防止の役割を有するものである。また、このポリイミド膜104は誘電率が低く、寄生容量を低減するのに有効である。

【0006】次に、ポリイミド膜104に接続孔104aを形成する工程まで行った半導体基体101上に、リソグラフィ法により所定形状のレジストパターンの全面(図示せず)を形成した後、この半導体基体101の全面に、スパッタリング法によりクロム(Cr)膜、銅(Cu)膜、金(Au)膜を順次積層してCr/Cu/Au膜を成膜する。次に、リフトオフ法により、レジストパターンの上側のCr/Cu/Au膜とともに除去することにより、図14に示すように、このCr/Cu/Au膜を所定形状のパターニングする。これによって、このパターニングされたCr/Cu/Au膜からなるBLM(Ball Limiting Metal)105が形成される。このBLM膜105は、ポリイミド膜104の接続孔104aを通して下地のA1電極パッド102と接続しており、後に形成されるはんたボールソートのバリエーション105上に対応する部分、したがって、A

1電極パッド102上に対応する部分に、所定の寸法の開口部106aを有する。

【0008】次に、図16に示すように、真空蒸着法により全面にはんた膜107を成膜した後、図17に示すように、リフトオフ法によりレジスト膜106をその上のはんた膜107とともに除去する。これにより、はんた膜107の不要部分が除去され、はんた膜107が所望の形状にパターニングされる。その後、熱処理を行ってはんた膜107を溶融させることで、最終的に図18に示すように、ほぼ球状のはんたボールソート108を形成する。

【0009】この真空蒸着法によるはんた膜の成膜と、レジストパターンのリフトオフを用いたはんたボールソートの形成方法によれば、チップ内で高さがほぼ均一に揃ったはんたボールソートを形成することができる。

【0010】ここで、ポリイミド膜104には、寄生容量の低減やα線によるソートエラ一対策などを考慮して、通常、2～3μm以上の比較的肉いものが要求される。このため、このポリイミド膜104を、常に精度良く安定したパターニングで形成することが難しくなっている。

【0011】すなわち、上述のはんたボールソートの形成方法においては、ポリイミド膜104をパターニングするためのリソグラフィ工程の際に、作業環境や処理条件のわずかな変動によって解像不良が起き、図13に示すように、接続孔104aの底部に光学顕微鏡でも確認できない程度の厚さの、場合によっては光学顕微鏡でも確認できる程度の厚さのポリイミドの被膜が残存したり、現像後の洗浄残りが生じたりする。図13～図18中、符号104bは、これらの残存したポリイミド膜や現像後の洗浄残りなどの有機物からなるスカムを示す。図13～図18においては、表現の便宜上、このスカム104bを實際よりも極端に厚く表記している。

【0012】このように、ポリイミド膜104の接続孔104aの底部にスカム104bが残存することにより、その後形成されるBLM膜105とこの下地のA1電極パッド102との界面での電氣的コンタクトが良好に得られないという問題が生じる。

【0013】また、極端な場合には、BLM膜105とA1電極パッド102との密着力が低下して、後工程やソート配線基板へのチップ実装時に、剥離が生じてしまうような不良を招いてしまうことにも繋がる。

【0014】[發明]解決しようとする課題】これに対して従来は、ポリイミド膜104の成膜およびパターニングの後の工程で、BLM膜105の成膜前処理として行うA1オゾン(Ar)によるスパッタエッチング処理(通称、逆スパッタ)が、ポリイミド膜104の接続孔104aの底部に残存するスカム104bの除去除去をも兼ねる意味合いがあった。

【0015】しかしながら、BLM膜105を、半導体基体101上にレジストパターンのリフトオフを用いて選択的に形成するようにした場合、レジストパターンの耐熱性が低いことから、BLM膜105の成膜前処理は、ウェハの温度上昇を抑えた条件設定が必要となる。具体的には、このBLM膜105の成膜前処理としてのスパッタエッチング処理の際には、エッチング対象となるレジストパターンの表面の最高到達温度が120℃を越えないように、半導体基体101への入射イオンエネルギーを低く設定したり処理時間を短くする必要がある。このため、このBLM膜105の成膜前処理としてのスパッタエッチング処理は、スカム104bの除去処理としては、必ずしも充分な処理が行われている訳ではなかった。

【0016】そのため、はんだボールバンプ108を形成した後に、プリント配線基板にフリップチップ実装して組み立てられた製品のバンプ接合部の電気的特性や機械的強度が時として不安定になり、このはんだボールバンプ108が形成されたデバイスの製造歩留まりや、このデバイスをフリップチップ実装して組み立てられる製品の信頼性や耐久性にも、その悪影響が及んでしまうという問題があった。

【0017】したがって、この発明の目的は、電極およびこの上に形成されるバンプのバリアメタルとしての導電膜の接合界面における電気的特性や密着強度を改善し、フリップチップ実装後において高い信頼性および耐久性を有するバンプ製造方法を提供することにある。

【0018】この発明の他の目的は、電極および/または配線と導電膜との接合界面における電気的特性や密着強度を改善し、高い信頼性および耐久性を有する半導体装置を製造することができる半導体装置の製造方法を提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の発明は、基体上に電極を形成する工程と、基体上に電極を覆うように層間絶縁膜を形成する工程と、層間絶縁膜の電極上に対応する部分に接続孔を形成する工程と、接続孔が形成された層間絶縁膜を有する基体上に、所定の成膜前処理を行った後、接続孔を通して電極と接続する導電膜を形成する工程とを有し、電極上に導電膜を介してバンプを形成するようにしたバンプ製造方法において、層間絶縁膜に接続孔を形成した後、導電膜の成膜前処理を行う前に、基体に対して、少なくとも不活性ガスを含む雰囲気中でスパッタエッチング処理を行い、この際、スパッタエッチング処理を、このときの基体の表面の最高到達温度が、導電膜の成膜前処理のときの基体の表面の最高到達温度よりも高くなるようなイオンエネルギーで行うようにしたことを特徴とするものである。

【0020】この発明の第2の発明は、基体上に電極を

形成する工程と、基体上に電極を覆うように層間絶縁膜を形成する工程と、層間絶縁膜の電極上に対応する部分に接続孔を形成する工程と、接続孔が形成された層間絶縁膜を有する基体上に、接続孔を通して電極と接続する導電膜を形成する工程とを有し、電極上に導電膜を介してバンプを形成するようにしたバンプ製造方法において、層間絶縁膜に接続孔を形成した後、導電膜を形成する前に、基体に対して、少なくとも酸素を含む雰囲気中でアッシング処理を行った後、連続して少なくとも不活性ガスを含む雰囲気中でスパッタエッチング処理を行うようにしたことを特徴とするものである。

【0021】この発明の第3の発明は、基体上に電極および/または配線を形成する工程と、基体上に電極および/または配線を覆うように層間絶縁膜を形成する工程と、層間絶縁膜の電極および/または配線上に対応する部分に接続孔を形成する工程と、接続孔が形成された層間絶縁膜を有する基体上に、所定の成膜前処理を行った後、接続孔を通して電極および/または配線と接続する導電膜を形成する工程とを有する半導体装置の製造方法において、層間絶縁膜に接続孔を形成した後、導電膜の成膜前処理を行う前に、基体に対して、少なくとも不活性ガスを含む雰囲気中でスパッタエッチング処理を行い、この際、スパッタエッチング処理を、このときの基体の表面の最高到達温度が、導電膜の成膜前処理のときの基体の表面の最高到達温度よりも高くなるようなイオンエネルギーで行うようにしたことを特徴とするものである。

【0022】この発明の第4の発明は、基体上に電極および/または配線を形成する工程と、基体上に電極および/または配線を覆う層間絶縁膜を形成する工程と、層間絶縁膜の電極および/または配線上に対応する部分に接続孔を形成する工程と、接続孔が形成された層間絶縁膜を有する基体上に、接続孔を通して電極と接続する導電膜を形成する工程とを有する半導体装置の製造方法において、層間絶縁膜に接続孔を形成した後、導電膜を形成する前に、基体に対して、少なくとも酸素を含む雰囲気中でアッシング処理を行った後、連続して少なくとも不活性ガスを含む雰囲気中でスパッタエッチング処理を行うようにしたことを特徴とするものである。

【0023】この発明においては、層間絶縁膜の材料としては、例えば有機物を用いることができる。また、この層間絶縁膜の材料としては、寄生容量を低減する観点から、低誘電率のものをを用いることが好ましい。また、この発明において、層間絶縁膜への接続孔の形成は、感光性材料からなる層間絶縁膜を用い、これを直接、リソグラフィー法により露光、現像してパターンニングすることにより行ってもよく、または、層間絶縁膜上に所定形状のレジストパターンを形成し、このレジストパターンをマスクとして層間絶縁膜をエッチングすることにより行ってもよい。この発明において、層間絶縁膜の材料と

しては、典型的には、例えば、二酸化シリコン(SiO₂)に比べて低誘電率の有機物であるポリイミドが用いられ、特に、感光性のポリイミドが用いられる。また、この発明において、電極または配線の材料としては、例えばアルミニウム、銅、銀またはこれらの合金を用い

れる。

【0024】この発明において、スパッタエッチング処理は、典型的には、例えばAガスのような不活性ガス雰囲気中で行うが、これ以外に、不活性ガスに還元性ガスを含有する雰囲気中で行うようにしてもよい。こ

で、還元性ガスとしては、例えば、フッ化水素(HF)ガス、水素(H₂)ガスまたは塩酸(HCl)ガスを用

いられる。

【0025】この発明においては、スパッタエッチング処理およびフッ化シリコン処理のフラスコ処理は、フラスコ放電出力と基板へのバイアス電圧とを独立に制御しながら行うことが好ましい。この場合のフラスコ処理には、少なくともフラスコ放電出力とバイアス電圧とを独立に制御可能な二つの電源を有するフラスコ処理装置が用い

られる。

【0026】この発明においては、スパッタエッチング処理およびフッ化シリコン処理のフラスコ処理は、例えば、 $1 \times 10^3 \text{ cm}^3$ 以上 $1 \times 10^4 \text{ cm}^3$ 以下のフラスコ密度で行うようにしてもよい。この場合のスパッタエッチング処理およびフッ化シリコン処理には、ICP(Inductively Coupled Plasma)型フラスコ処理装置、TCP(Transfer Coupled Plasma)またはToroidal Coupled Plasma)型フラスコ処理装置、ECR(Electron Cyclotron Resonance)型フラスコ処理装置またはヘリコ波フラスコ処理装置など、高いフラスコ密度が得られるフラスコ処理装置が用いられる。

【0027】上述のように構成されたこの発明の第1の発明および第3の発明においては、層間絶縁膜に接続孔を形成した後、導電膜の成膜前処理を行う前に、基板に対して、少なくとも不活性ガスを含有する雰囲気中でスパッタエッチング処理を行い、この際、スパッタエッチング処理を、このときの基板の表面の最高到達温度が、導電膜の成膜前処理のときの基板の表面の最高到達温度より極および/または配線の表面を清浄化した上で、導電膜の成膜を行えるようになる。

【0028】この結果、例えば、電極上にシリコンメタルとしての導電膜を介して形成されたバンプを有するLSIなどのデバイスにおいて、電極と導電膜との界面で良

好な電気的コンタクトが得られるようになる上に、導電膜と電極との密着強度が増し、このLSIチップをフリップチップ実装して組み立てられる製品は、バンプ接合部の電気的特性および機械的強度が共に向上するので、最終的な製品の信頼性および耐久性が、従来に比べて大きく向上する。

【0029】また、スパッタエッチング処理により、層間絶縁膜の表面がイオン衝撃エネルギーを受けて化学的に活性化され、この結果、このLSIチップをフリップチップ実装して組み立てられる製品は、チップの層間絶縁膜とチップの封止に用いられる樹脂との密着強度が増すので、これによっても、最終的な製品の信頼性および耐久性の向上を図ることができ

【0030】上述のように構成されたこの発明の第2の発明および第4の発明においては、有機物からなる層間絶縁膜に接続孔を形成した後、導電膜を成膜する前に、基板に対して、少なくとも酸素を含む雰囲気中でスパッタエッチング処理を行った後、連続して少なくとも不活性ガスを含有する雰囲気中でのスパッタエッチング処理を行う。

【0031】これにより、残渣の除去処理に化学反応を利用することで、不活性ガスのみによるスパッタエッチング処理を行う場合よりも、効果的に残渣の除去を行うことができる。そして、酸素フラスコ処理により残渣除去中に下地の電極および/または配線の表面に新たに若干形成される酸化膜は、フッ化シリコン処理に連続して行われるスパッタエッチング処理により除去される。なお、フッ化シリコン処理に連続して行われるスパッタエッチング処理にさらに還元性ガスを含有する雰囲気中でおこなった場合、電極および/または配線の表面に形成された酸化膜を化学反応で還元しながらスパッタ除去すること、より徹底した電極および/または配線の表面のクリーニングを行うことができる。

【0032】この結果、例えば、電極上にシリコンメタルとしての導電膜を介して形成されたバンプを有するLSIなどのデバイスにおいて、電極と導電膜との界面で良好な電気的コンタクトが得られるようになる上に、導電膜と電極との密着強度が増し、このLSIチップをフリップチップ実装して組み立てられる製品は、バンプ接合部の電気的特性および機械的強度が共に向上するので、最終的な製品の信頼性および耐久性が、従来に比べて大きく向上する。

【0033】また、フッ化シリコン処理により、層間絶縁膜

の表面が酸素を取り込んで化学的に活性化され、この結果、このLSIチップをフリップチップ実装して組み立てられる製品は、チップの層間絶縁膜とチップの封止に用いられる樹脂との密着強度が増すので、これによっても、最終的な製品の信頼性および耐久性の向上を図ることができる。

【0034】

【発明の実施の形態】以下、この発明の好適な実施形態について、図面を参照しながら説明する。

【0035】まず、この発明の第1の実施形態によるはんだボールバンプの製造方法について説明する。図1は、この第1の実施形態によるはんだボールバンプの製造方法においてプラズマ処理に用いられるトライオード型高周波プラズマ処理装置の一例を示す。

【0036】図1に示すように、このトライオード型高周波プラズマ処理装置においては、プラズマ処理室1の内部に、陽極板2および陰極板としてのステージ3が互いに対向して設けられ、これらの陽極板2およびステージ3の間に、格子電極4が設けられている。被処理基板としてのウェハ5は、ステージ3上に設置される。

【0037】プラズマ処理室1は、排気口（図示せず）を通じて真空排気装置（図示せず）と接続されており、これによって、プラズマ処理室1の内部を真空排気することができるようになっている。また、プラズマ処理室1の内部には、ガス導入管（図示せず）を通じて所定のプロセスガスが供給されるようになっている。

【0038】陽極板2は、結合コンデンサ6を介してプラズマ放電用電源7と接続され、ステージ3は、結合コンデンサ8を介して基板バイアス用電源9と接続される。また、格子電極4は接地される。ここで、プラズマ放電用電源7としては、例えば周波数2MHzの高周波電源が用いられ、基板バイアス用電源9としては、例えば周波数13.56MHzの高周波電源が用いられる。これらのプラズマ放電用電源7および基板バイアス用電源9により、プラズマ放電出力および基板バイアス電圧が、それぞれ独立に制御される。ここで、ステージ3は温度制御機構を有し、処理中のウェハ4の温度を制御することが可能である。

【0039】このトライオード型高周波プラズマ処理装置においては、プラズマ処理室1内に、所定のプロセスガスを導入し、所定のプラズマ放電出力を供給することにより、陽極板2および格子電極4の間にプラズマ10を発生させ、このプラズマからのイオンの照射により、ステージ3上に設置されたウェハ5のスパッタエッチング処理を行うことが可能である。

【0040】以下に、この発明の第1の実施形態によるはんだボールバンプの製造方法の工程の一例について、図2～図11を参照しながら説明する。

【0041】まず、図2に示すように、回路素子などが形成されたSiウェハのような半導体基体11上の所定

の部分に絶縁膜（図示せず）を介して、スパッタリング法およびRIE法により所定形状のAl電極パッド12を形成する。次に、この半導体基体11の全面に、例えばSiN膜のようなパッシベーション膜13を成膜した後、このパッシベーション膜13のAl電極パッド12上に対応する部分に開口部13aを形成する。次に、この半導体基体11の全面に、層間絶縁膜として、例えば感光性のポリイミド膜14を成膜した後、リソグラフィにより直接このポリイミド膜14に対して露光、現像処理を行うことにより、このポリイミド膜14のAl電極パッド12上に対応する部分に接続孔14aを形成する。このポリイミド膜14は、表面保護、電氣的絶縁およびα線によるソフトエラー防止の役割を有するものである。また、このポリイミド膜14は誘電率が低く、寄生容量の低減に有効である。符号14bは、ポリイミド膜14に接続孔14aを形成するためのリソグラフィ工程において、接続孔14aの底部に残存した薄いポリイミドの被膜や現像液の洗浄残りなどの有機物からなるスカムを示す。図中では、表現の便宜上、このスカム14bを実際よりも極端に厚く表記している。

【0042】この第1の実施形態においては、上述のようにポリイミド膜14に接続孔14aを形成した後、後述するBLM膜の成膜前処理を行う前に、図2に示す状態の半導体基体11を、図1に示すトライオード型高周波プラズマ処理装置に導入し、この半導体基体11に対して、例えばArガスのような不活性ガス雰囲気中でスパッタエッチング処理を行うことにより、ポリイミド膜14の接続孔14aの底部に残存するスカム14bを除去する。なお、後述のように、この第1の実施形態においては、BLM膜をリフトオフ法によりパターンニングして形成するようにしているため、このスカム14bを除去するためのスパッタエッチング処理は、ポリイミド膜14に接続孔14aを形成した後、リフトオフ用のレジストパターンを形成する前に行う。

【0043】ここで、従来のはんだボールバンプの製造方法においては、この後に行われるBLM膜105の成膜前処理としてのスパッタエッチング処理が、ポリイミド膜104の接続孔104aに残存するスカム104bの除去処理を兼ねていた。これに対して、この第1の実施形態においては、ポリイミド膜14に接続孔14aを形成した後、BLM膜の成膜前処理として行われるスパッタエッチング処理の前に、このBLM膜の成膜前処理とは別に、接続孔14aの底部に残存するスカム14bを除去するためのスパッタエッチング処理を行う。

【0044】また、既に述べたように、BLM膜の成膜前処理としてのスパッタエッチング処理では、エッチング対象となるレジストパターンの過剰な熱変質を抑制する観点から、このレジストパターンの表面の最高到達温度が120℃を越えないように、より好ましくは、この最高到達温度が100℃以下となるように、入射イオン

エネルギーを低く抑え、しかも、処理時間を短くする必要がある。具体的には、図1に示すトライオード型高周波プラズマ処理装置を用いてこのBLM膜の成膜前処理を行う場合で、基板バイアス電圧が100V程度、処理時間が90秒以下とされている。これに対して、このスカム14bを除去するためのスパッタエッチング処理では、エッチング対象となるポリイミド膜14がレジストパターンより高い耐熱性を有するため、このポリイミド膜14の表面の最高到達温度を、120℃以上、例えば180℃程度まで高くすることが可能である。したがって、この第1の実施形態においては、スカム14bを除去するためのスパッタエッチング処理は、その後に行われるBLM膜の成膜前処理としてのスパッタエッチング処理に比べて基板バイアス電圧を高くして、好適には基板バイアス電圧を300~600Vとして、半導体基体11への入射イオンエネルギーを高く設定した条件下で処理を行い、かつ、処理時間もより長く、好適には90~180秒間として、スカム14bの除去を充分に行う。

【0045】具体的には、一例として次のような条件下でスパッタエッチング処理を行う。すなわち、プロセスガスとしてArガスをを用い、その流量を25sccm、圧力を0.7Pa、スチージング温度を室温とし、プラズマ放電出力を700W(2MHz)、基板バイアス電圧を400V(13.56MHz)としてスパッタエッチング処理を行い、その処理時間を120秒間とする。このときのエッチング対象となるポリイミド膜14の表面の最高到達温度は、概ね150℃である。

【0046】このスパッタエッチング処理の結果、図3に示すように、ポリイミド膜14の接続孔14aの底部に残存するスカム14bが効果的に除去されるときも、A1電極/ポリイミド膜12の表面に存在した自然酸化膜(図示せず)が除去され、清浄なA1電極/ポリイミド膜14の表面が露出する。また、このとき、ポリイミド膜14の表面が、イオン衝撃エネルギーを受けて化学的に活性化される。【0047】次に、図4に示すように、半導体基体11の全面にレジスト膜を成膜した後、リソグラフィ法によりこのレジスト膜を所定形状にパターンニングする。符号15は、これによって形成された所定形状のレジストパターンを示す。このレジストパターン15は、ポリイミド膜14の接続孔14a上に対応する部分、したがって、A1電極/ポリイミド膜12上に対応する部分に、接続孔14aより寸法の大きな開口部15aを有する。【0048】次に、このように所定形状のレジストパターン15を形成した後、BLM膜を成膜する前に、図4に示す状態の半導体基体11に対して、BLM膜の成膜前処理としてのスパッタエッチング処理を行う。このスパッタエッチング処理は、上述のポリイミド膜14の接続孔14aの底部に残存するスカム14bを除去する際

のスパッタエッチング処理と同様に、図1に示すトライオード型高周波プラズマ処理装置を用いて行うことができる。【0049】このスパッタエッチング処理では、この後に行われるBLM膜の成膜の際に、レジストパターン15の開口部15aの側壁にBLM膜が付着することを防止し、さらにこの後に行われるレジストパターン15のリフトオフによるBLM膜のパターンニングを良好に行う観点から、図5に示すように、エッチング対象となるレジストパターン15の表面近傍のみを熱変質させ、このレジストパターン15の開口部15aを所定のチーパースタイルに変形させる。

【0050】具体的には、一例として次のような条件下でスパッタエッチング処理を行う。すなわち、プロセスガスとしてArガスをを用い、その流量を25sccm、圧力を0.7Pa、スチージング温度を室温とし、プラズマ放電出力を700W(2MHz)、基板バイアス電圧を100V(13.56MHz)としてスパッタエッチング処理を行い、その処理時間を90秒間とする。このBLM膜の成膜前処理としてのエッチング処理では、上述のスカム14bを除去するためのスパッタエッチング処理よりも、半導体基体11への入射イオンエネルギーが低く抑えられ、エッチング対象となるレジストパターンの表面に過剰な熱変質を与えることが抑制されている。このときのエッチング対象となるレジストパターン15の表面の最高到達温度は、概ね110℃である。

【0051】このスパッタエッチング処理の結果、レジストパターン15の開口部15aに残存するレジストスカム(図示せず)などが除去されるときも、A1電極/ポリイミド膜12の表面が清浄化される。【0052】次に、図6に示すように、半導体基体11の全面に、例えばスパッタリング法によりCr膜、Cu膜、Au膜を順次積層して、Cr/Cu/Au膜からなるBLM膜16を成膜する。次に、図7に示すように、リフトオフによりレジストパターン15をその上のBLM膜16とともに除去することにより、このBLM膜16を所定形状にパターンニングする。このBLM膜16は、ポリイミド膜14の接続孔14aを通して下地のA1電極/ポリイミド膜12と接続しており、後に形成されるはんだボーリ/ポリイミド膜12の役割を有する。【0053】次に、図8に示すように、半導体基体11の全面にレジスト膜を形成した後、このレジスト膜をリソグラフィ法により所定形状にパターンニングする。符号17は、これによって形成された所定形状のレジストパターンを示す。このレジストパターン17は、BLM膜16上に対応する部分、したがって、A1電極/ポリイミド膜12上に対応する部分に、所定の寸法の開口部17aを有する。【0054】この後、必要に応じて、半導体基体11に対して、はんた膜を成膜する前の成膜前処理としてのス

パッタエッチング処理を行った後、図9に示すように、半導体基体11の全面に、真空蒸着法により、例えば鉛(Pb)とすず(Sn)との比率が97:3の高融点のはんだ膜18を成膜する。次に、図10に示すように、リフトオフによりレジストパターン17をその上のはんだ膜18とともに除去する。これにより、はんだ膜18が所望の形状にパターンニングされる。その後、ウェットバック工程により、はんだ膜18の加熱溶融処理を行うことにより、最終的に、図11に示すように、ほぼ球状のはんだボールバンプ19を形成する。なお、ここでは、ウェットバック工程によるはんだボールバンプ19の形成を安定に行う観点から、このウェットバック工程を行う前に、半導体基体11の全面に、予め還元作用や表面活性作用を有するフラックス(主成分は、アミン系活性剤、アルコール溶媒、ロジンやポリグリコール等の樹脂成分)を均一にコーティングしてやり、その状態から熱処理を行うことで、はんだの溶融および表面張力によりはんだが球状に丸まることを促進させる。

【0055】以上、この第1の実施形態によれば、ポリイミド膜14に接続孔14aを形成した後、この接続孔14aの底部に残存するスカム14bの除去を目的として行われるスパッタエッチング処理を、その後に行われるBLM膜15の成膜前処理としてのスパッタエッチング処理に比べて、高いイオンエネルギー条件下で行っているため、BLM膜の成膜前処理としてのスパッタエッチング処理がスカム14bの処理処理を兼ねていた従来のはんだボールバンプの製造方法に比べて、接続孔14aにおけるBLM膜15とこの下地のA1電極パッド12との接合界面が、より清浄な状態で形成される。このため、BLM膜15とA1電極パッド12との接合界面での電気的コンタクトが良好となり、接続抵抗を大幅に低減することができる上に、BLM膜15とA1電極パッド12との密着強度の向上を図ることができる。

【0056】そして、このようにしてはんだボールバンプが形成されたLSIチップをプリント配線基板上にフリップチップ実装して組み立てられる製品は、バンプ接合界面での電気的特性および機械的強度が共に向上するので、最終的な製品の信頼性および耐久性を、従来に比べて大きく改善することができる。

【0057】また、スカム14bを除去するためのスパッタエッチング処理により、ポリイミド膜14の表面が、イオン衝撃エネルギーを受けて活性化され、この結果、このLSIチップをフリップチップ実装して組み立てられる製品は、チップの表面保護膜としてのポリイミド膜14と、このチップの封止に用いられる樹脂との密着強度が増すので、これによっても、最終的な製品の信頼性および耐久性の向上を図ることができる。

【0058】また、この第1の実施形態によれば、スカム14bを除去するためのスパッタエッチング処理の際に、プラズマ放電用電力と基板バイアス電圧とを独立に

制御するようにしていることにより、エッチング対象となるポリイミド膜14に過剰な熱変質を与えることなく、接続孔14aの底部のスカム14bの除去およびA1電極パッド12の表面のクリーニングを効果的に実現することができる。なおかつ、半導体基体11が大口径ウェハであっても、均一で迅速な処理が可能なプロセスを確立することができる。

【0059】次に、この発明の第2の実施形態によるはんだボールバンプの製造方法について説明する。図12は、この第2の実施形態によるはんだボールバンプの製造方法においてプラズマ処理に用いられるICP型高密度プラズマ処理装置の一例を示す。

【0060】図12に示すように、このICP型高密度プラズマ処理装置は、プラズマ処理室21の外周に誘導結合コイル22が巻かれ、プラズマ処理室21内にステージ23が設けられている。被処理基板としてのウェハ24はステージ23上に設置される。

【0061】プラズマ処理室21は、排気口(図示せず)を通じて真空排気装置(図示せず)と接続されており、これによって、プラズマ処理室21の内部を真空排気することができるようになっている。また、プラズマ処理室21の内部には、ガス導入管(図示せず)を通じて所定のプロセスガスが供給されるようになっている。

【0062】誘導結合コイル22は、プラズマ放電用のICP電源25と接続され、ステージ23は、結合コンデンサ26を介して基板バイアス用電源27と接続される。ICP電源25としては、例えば周波数450kHzの高周波電源が用いられ、基板バイアス用電源27としては、例えば周波数13.56MHzの高周波電源が用いられる。これらのICP電源25および基板バイアス用電源27により、プラズマ放電出力(ICPソース出力)および基板バイアス電圧が、独立に制御される。ここで、ステージ23は垂直方向(図12中、矢印で示される方向)に移動可能である。また、このステージ23は温度制御機構を有し、処理中のウェハ24の温度を制御することが可能である。

【0063】このICP型高密度プラズマ処理装置においては、プラズマ処理室21内に、所定のプロセスガスを導入し、所定のプラズマ放電出力を供給することにより、プラズマ処理室21内にプラズマ28を発生させ、このプラズマからのイオンまたはラジカルの照射により、ステージ23上に設置されたウェハ24のスパッタエッチング処理やアッシング処理を行うことが可能である。

【0064】以下に、この第2の実施形態によるはんだボールバンプの製造方法の工程の一例について説明する。

【0065】この第2の実施形態においては、第1の実施形態と同様に工程を進めて、ポリイミド膜14に接続孔14aを形成する工程まで行った後、図2に示す状態

の半導体基体11を、図12に示すICP高密度プラズマ処理装置に導入し、酸素を含む雰囲気中でアッシング処理を行った後、連続して、不活性ガス雰囲気中でスパッタエッチング処理を行う。ここでスパッタエッチング処理は、後に行われるBLM膜15の成膜前処理としてのスパッタエッチング処理よりも、高いイオンエネルギー条件下で行う。

ソール電力を1000W (450kHz)、基板バリア電圧を100V (13.56MHz) としてスパッタエッチング処理を行い、その処理時間を90秒とする。このときのエッチング対象となるレジストパターン15

処理を行った後、連続して、還元性ガスを含む雰囲気中でスパッタエッチング処理を行う。ここでのスパッタエッチング処理は、後に行われるBLM膜15の成膜前処理としてのスパッタエッチング処理よりも、高いイオンエネルギー条件下で行う。

【0078】具体的には、まず、一例として以下に示す条件でアッシング処理を行う。すなわち、プロセスガスとして酸素(O_2)ガスを用い、その流量を100 sccm、圧力を1.0 Pa、ステージ温度を90℃とし、ICPソース電力を1000W(450kHz)、基板バイアス電圧を100V(13.56MHz)としてアッシング処理を行い、その処理時間を20秒とする。このときのプラズマ処理対象となるポリイミド膜14の表面の最高到達温度は、概ね100℃である。

【0079】次に、一例として以下のように条件を切り換えて、スパッタエッチング処理を行う。すなわち、プロセスガスとしてHFおよびArの混合ガスを用い、HFガスの流量を25 sccm、Arガスの流量を25 sccm、圧力を0.13 Pa、ステージ温度を90℃とし、ICPソース電力を1000W(450kHz)、基板バイアス電圧を250V(13.56MHz)としてスパッタエッチング処理を行い、その処理時間を30秒とする。このときのエッチング対象となるポリイミド膜14の表面の最高到達温度は、概ね130℃である。

【0080】これらのアッシング処理およびスパッタエッチング処理からなる2段階のプラズマ処理の結果、第2の実施形態と同様に、図3に示すように、ポリイミド膜14の接続孔14aの底部に残存するスカム14bが効果的に除去されるとともに、A1電極パッド12の表面が清浄化される。なお、この第3の実施形態では、上述のスパッタエッチング処理の結果、A1電極パッド12の表面に存在した酸化膜は、HFと反応して還元されつつ、Arイオンのスパッタリング作用により除去され、より清浄なA1電極パッド12の表面が露出する。

【0081】次に、第1の実施形態と同様に工程を進めて、後に形成されるBLM膜16のリフトオフ用のレジストパターン15を形成した後、BLM膜16の成膜前処理としてのスパッタエッチング処理を行う。

【0082】具体的には、一例として以下に示す条件でスパッタエッチング処理を行う。すなわち、プロセスガスとしてArガスを用い、その流量を25 sccm、圧力を0.13 Pa、ステージ温度を90℃とし、ICPソース電力を1000W(450kHz)、基板バイアス電圧を100V(13.56MHz)としてスパッタエッチング処理を行い、その処理時間を90秒とする。このときのエッチング対象となるレジストパターン15の表面の最高到達温度は、概ね110℃である。

【0083】この後、第1の実施形態と同様に工程を進めて、最終的に図11に示すように、はんだボールバンプ19を形成する。

【0084】この第3の実施形態によるはんだボールバンプの製造方法の上記以外の構成は、第1の実施形態によるはんだボールバンプの製造方法と同様であるので、説明を省略する。

【0085】この第3の実施形態によれば、第2の実施形態と同様の利点を得ることができるほか、次のような利点を得ることができる。

【0086】すなわち、この第3の実施形態によれば、アッシング処理に連続して行われるスパッタエッチング処理により、HFによる還元作用によって、A1電極パッド12の表面の酸化膜は、化学反応を伴いながら効果的にスパッタ除去されるため、より徹底したA1電極パッド12の表面のクリーニングを行うことができる。また、ポリイミド膜14の表面層のダングリングボンドは、電気的陰性度の大きいフッ素(F)原子によってターミネイト(このスパッタエッチング処理に先立って行われるアッシング処理時に導入されたO原子がF原子と置換される場合も含む)され、化学的にさらに活性な状態となる。このため、このLSIチップをフリップチップ実装して組み立てられる製品は、チップの表面保護膜としてのポリイミド膜14と、このチップの封止に用いられる樹脂との密着強度が第1の実施形態および第2の実施形態以上に増すので、最終的な製品の信頼性および耐久性の更なる向上を図ることができる。

【0087】以上この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、構造、プロセス装置、プロセス条件など、発明の主旨を逸脱しない範囲で適宜選択可能であることは言うまでもない。

【0088】例えば、上述の第1～第3の実施形態においては、感光性のポリイミド膜14をリソグラフィ法により直接パターニングして接続孔14aを形成するプロセスを例に示したが、これは、ポリイミド膜を成膜した後、このポリイミド膜上に所定形状のレジストパターンを形成し、このレジストパターンをマスクとしてエッチングすることにより、ポリイミド膜に接続孔を形成するプロセスに適用することも可能である。この場合、ポリイミド膜の接続孔の底部には、マスクとして用いたレジストパターンを除去するために用いた薬液の洗浄残りなどがスカムとして残存する。

【0089】また、上述の第1～第3の実施形態においては、層間絶縁膜としてポリイミド膜14を用いたプロセスを例に示したが、これは、層間絶縁膜としてポリイミド膜14以外を用いたプロセス、例えばSiO₂膜やSiN膜を用いたプロセスに適用することも可能である。

【0090】また、上述の第1～第3の実施形態においては、スパッタエッチング処理やアッシング処理を行うプラズマ処理装置として、トライオード型高周波プラズマ処理装置およびICP型高密度プラズマ処理装置を用

いた場合のプロセス例を示したが、オーソドックスな平
行平板型高周波プラズマ処理装置や、TCP型高密度
プラズマ処理装置、ECR型高密度プラズマ処理装置、
リコ波高密度プラズマ処理装置など、ICP型高密度
プラズマ処理装置以外の高密度プラズマ処理装置を用い
たプロセスへの適用も可能である。

【0091】また、上述の第1の実施形態においては、
スカム14bの除去処理として、Ar雰囲気中でスピン
タエツチング処理を行うプロセス例を示したが、これ
は、Arガスのような不活性ガスに、さらにHFなどの
還元性ガスを含む雰囲気中でスピンタエツチング処理を
行うプロセスを用いてもよい。

【0092】また、上述の第2および第3の実施形態に
おいては、還元性ガスとしてHFを用いた例を示した
が、この還元性ガスとしては、水素(H₂)、塩酸(H
Cl)などを同様に用いることもできる。これらのう
ち、HFやHClなど液体ソースを用いる場合は、ヘリ
ウム(He)ガスなどのキャリアガスによるバリン
グ、加熱気化、超音波気化などの手法によって、プラズ
マ処理室内にガスを導入する。

【0093】また、上述の第1～第3の実施形態におけ
るA1電極/トップ12に代えて、A1合金電極/トップを
用いてもよく、これ以外に、Cu、Agまたはこれらの
合金を用いた電極/トップを用いてもよい。

【0094】また、上述の第1～第3の実施形態におい
ては、この発明をほんたぽーリソフの製造に適用した
場合について説明したが、この発明は、層間絶縁膜に形
成された接続孔を通して、この層間絶縁膜の下層の電極
および/または配線と導電膜とを接続させるようにした
半導体装置、例えば、多層配線構造を有する半導体装置
の製造に適用することもできる。

【0095】以上説明したように、この発明によるバ
ソフ製造方法によれば、層間絶縁膜に接続孔を形成した
後、導電膜の成膜前処理を行う前に、基体に対して、少
なくとも不活性ガスを含有する雰囲気中でスピンタエツチ
ング処理を行い、この際、スピンタエツチング処理を、こ
のときの基体の表面の最高到達温度が、導電膜の成膜前
処理のときの基体の表面の最高到達温度よりも高くなる
ようなイオンエネルギーで行うようにしていることによ
り、または、層間絶縁膜に接続孔を形成した後、導電膜
の成膜前処理を行う前に、基体に対して、少なくとも酸
素を含む雰囲気中でスピンタエツチング処理を行った後、連続し
て少なくとも不活性ガスを含有する雰囲気中でスピンタエツ
チング処理を行うようにしていることにより、接続孔に
おける導電膜とこの下地の電極との接合界面が、より清
浄な状態で形成される。

【0096】このため、導電膜と電極との接合界面での
電気的コンタクトが良好となり、接続抵抗を大幅に低減
することができると、導電膜と電極との密着強度を向

上させることができる。このため、バソフが形成された
LSIチップをプリント配線基板上にソリッドチップ実
装して組み立てられる製品は、バソフ接合界面での電気
的特性および機械的強度が共に向上するため、最終的な
製品の信頼性および耐久性を、従来に比べて大きく改善
することができる。

【0097】また、スピンタエツチング処理やソリン
グ処理のプラズマ処理により、層間絶縁膜の表面が化学
的に活性化され、この結果、このLSIチップをソリン
グチップ実装して組み立てられる製品は、チップの層間
絶縁膜とチップの封止に用いられる樹脂との密着強度が
増すので、これによっても、最終的な製品の信頼性およ
び耐久性の向上を図ることができる。

【0098】また、この発明による半導体装置の製造方
法によれば、上述のバソフ製造方法の場合と同様に、導
電膜と電極および/または配線との接合界面での電気的
コンタクトが良好となり、接続抵抗を大幅に低減するこ
とができる上に、導電膜と電極および/または配線との
密着強度の向上を図ることができ、半導体装置の信頼性
および耐久性を従来に比べて大きく改善することができ
る。

【0099】したがって、この発明は、微細なデザイ
ンルールに基づいて設計され、高集積度、高性能および高
信頼性を要求される半導体装置の製造方法に極めて有効
である。

【図面の簡単な説明】
図1 この発明の第1の実施形態によるほんたぽー
リソフの製造方法においてプラズマ処理に用いられる
トライオード型高周波プラズマ処理装置の一例を示す略
線図である。

図2 この発明の第1の実施形態によるほんたぽー
リソフの製造方法を説明するための断面図である。

図3 この発明の第1の実施形態によるほんたぽー
リソフの製造方法を説明するための断面図である。

図4 この発明の第1の実施形態によるほんたぽー
リソフの製造方法を説明するための断面図である。

図5 この発明の第1の実施形態によるほんたぽー
リソフの製造方法を説明するための断面図である。

図6 この発明の第1の実施形態によるほんたぽー
リソフの製造方法を説明するための断面図である。

図7 この発明の第1の実施形態によるほんたぽー
リソフの製造方法を説明するための断面図である。

図8 この発明の第1の実施形態によるほんたぽー
リソフの製造方法を説明するための断面図である。

図9 この発明の第1の実施形態によるほんたぽー
リソフの製造方法を説明するための断面図である。

図10 この発明の第1の実施形態によるほんたぽー
リソフの製造方法を説明するための断面図である。

図11 この発明の第1の実施形態によるほんたぽー
リソフの製造方法を説明するための断面図である。

【図12】 この発明の第2の実施形態によるはんだボールパンプの製造方法においてプラズマ処理に用いられるICP型高密度プラズマ処理装置の一例を示す略線図である。

【図13】 従来技術によるはんだボールパンプの製造方法を説明するための断面図である。

【図14】 従来技術によるはんだボールパンプの製造方法を説明するための断面図である。

【図15】 従来技術によるはんだボールパンプの製造方法を説明するための断面図である。

【図16】 従来技術によるはんだボールパンプの製造

方法を説明するための断面図である。

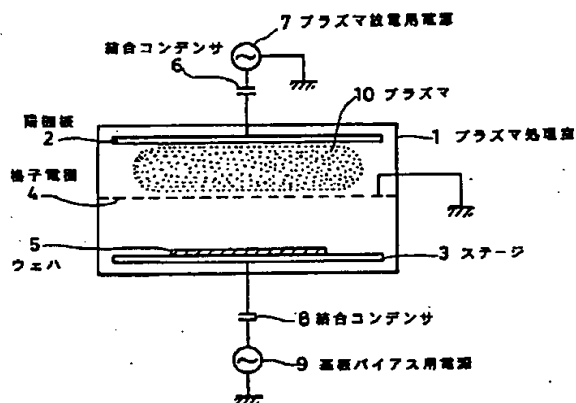
【図17】 従来技術によるはんだボールパンプの製造方法を説明するための断面図である。

【図18】 従来技術によるはんだボールパンプの製造方法を説明するための断面図である。

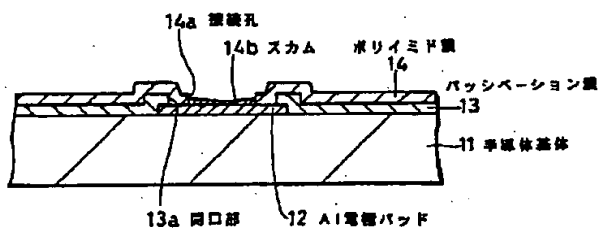
【符号の説明】

11・・・半導体基体、12・・・Al電極パッド、13・・・パッシベーション膜、14・・・ポリイミド膜、14a・・・接続孔、14b・・・スカム、16・・・BLM膜、18・・・はんだ膜、19・・・はんだボールパンプ

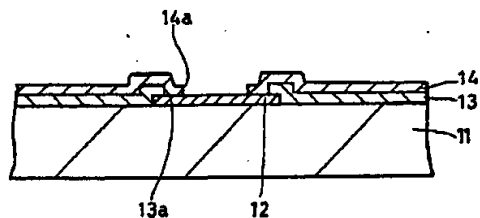
【図1】



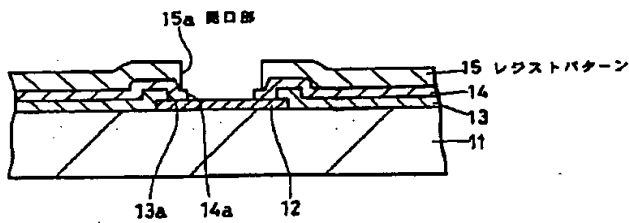
【図2】



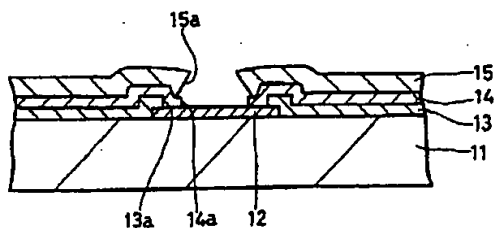
【図3】



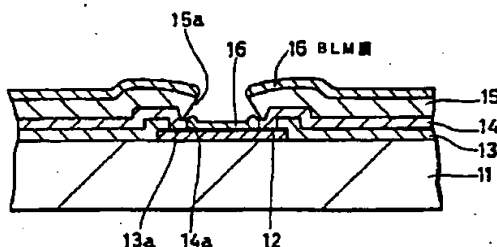
【図4】

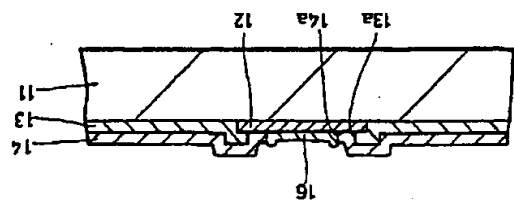


【図5】

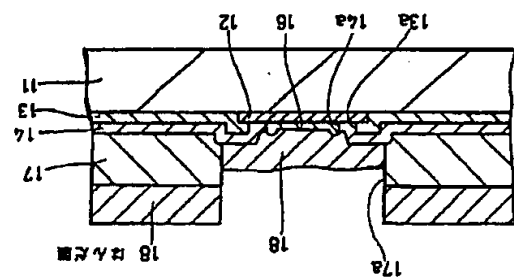


【図6】

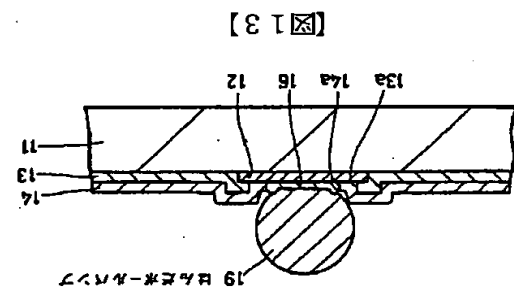




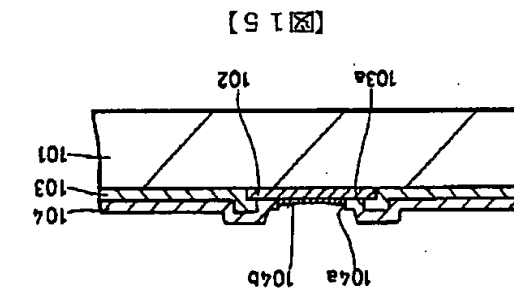
【図7】



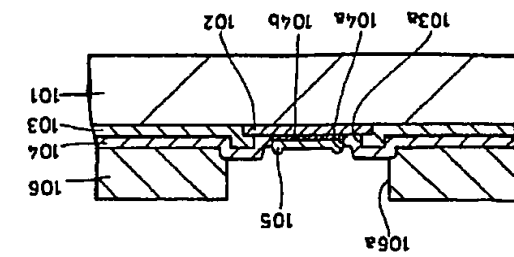
【図9】



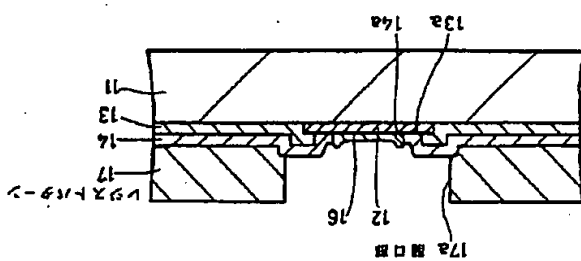
【図11】



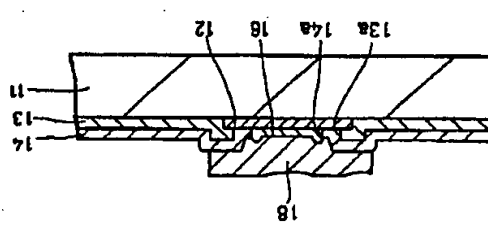
【図13】



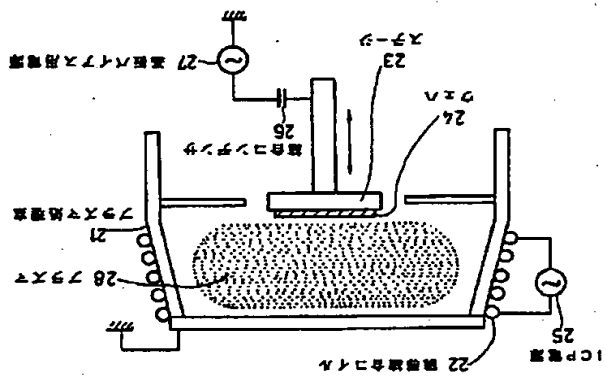
【図15】



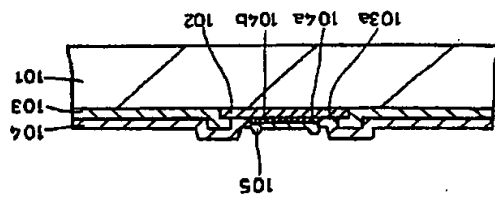
【図8】



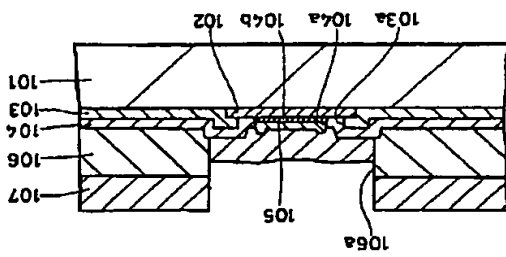
【図10】



【図12】

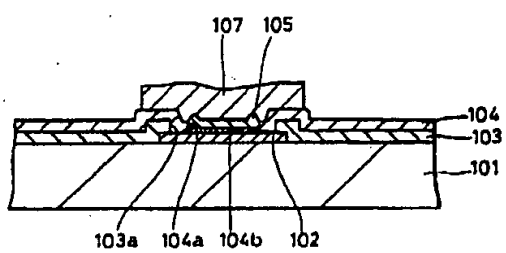


【図14】



【図16】

【図17】



【図18】

